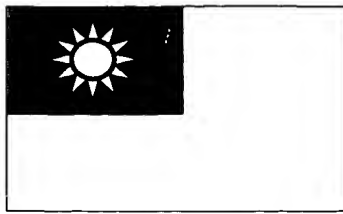


JCLA5775



#2
AKS
11/31/01

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

J1046 U.S. PTO
09/974559
10/09/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2000 年 11 月 20 日
Application Date

申請案號：089124512
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2000 年 12 月 6 日
Issue Date

發文字號：08911017169
Serial No.

申請日期	89.11.20
案 號	89124512
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	自動讀取系統匯流排時脈倍頻值之系統及方法
	英 文	
二、發明 創作人	姓 名	張乃舜
	國 籍	中華民國
	住、居所	台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要（發明之名稱：自動讀取系統匯流排時脈倍頻值之系統及方法）

一種自動讀取系統匯流排時脈倍頻值之系統及方法。其中，此系統包括有一個中央處理器與一個晶片組。中央處理器包括一個儲存單元，且此儲存單元中儲存有時脈倍頻值，並能根據串列起始數據包 (Serial Initialization Packet, SIP) 協議方法與外界同步。而晶片組則藉由使用一個選定的時脈倍頻預定值為參數的串列起始數據包協議方法，嘗試與中央處理器同步。若無法同步，則更動時脈倍頻預定值以重新執行串列起始數據包協議方法。若同步，就讀取儲存單元中的時脈倍頻值，並以時脈倍頻值與時脈倍頻預定值相比較，若不相同則將時脈倍頻預定值改變為時脈倍頻值。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明(8)

的一種系統連接圖。其中在主機板 310 上，安裝有中央處理器 320 以及晶片組 330。晶片組 330 之中則包括有一個計數器 335。必須注意的是，計數器 335 並非為必要的元件。而當實做在產品中的時候，計數器 335 可以做在晶片組 330 之中，也可以不必做在晶片組 330 內。

此外，中央處理器 320 之中包括了一個儲存單元 325。此儲存單元 325 之中則儲存有一個時脈倍頻值。在系統初始化的時候，中央處理器 320 會根據上述的串列起始數據包協議方法與外界同步。而晶片組 330 則藉由以選定一個時脈倍頻預定值為參數的串列起始數據包協議方法，嘗試與中央處理器 320 同步。若無法同步，晶片組 330 就會更動所選定的時脈倍頻預定值，並重新執行串列起始數據包協議方法。而若同步，晶片組 330 就會從儲存單元 325 之中讀取時脈倍頻值。之後，並以時脈倍頻值與選定的時脈倍頻預定值相比較，若兩者不相同，就將選定的時脈倍頻預定值改變為時脈倍頻值。

此外，上述晶片組 330 與中央處理器 320 的同步判定，就是根據中央處理器 320 是否有所回應而定。也就是，舉例來說，當中央處理器在一段預設的時間之內沒有確立訊號線 PROC RDY 的時候，就認定晶片組 330 無法與中央處理器 320 在此時所選定的時脈倍頻預定值之下達到同步。然而，就算中央處理器 320 在這一段預設時間之內有所回應，也並不代表此時所選定的時脈倍頻預定值就是真正的時脈倍頻預定值。如上所述，中央處理器 320 在進行初始化的時候，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

是以在訊號線CLKFWDRST於確立以及撤銷之間的幾個系統時脈週期內得以接收到SIP來完成初始化的程序。如此一來，當選定的時脈倍頻預定值與真正的時脈倍頻值相差不遠時，就有可能使得中央處理器320得以完成初始化的程序。舉例來說，當時脈倍頻值為4的時候，所選定的時脈倍頻預定值無論是3.5，4或4.5，都有可能使得中央處理器320得以完成初始化的程序。

因此，當某一個選定的時脈倍頻預定值使得中央處理器320完成初始化程序之後，還必須自儲存單元325之中讀出中央處理器320內所制訂的時脈倍頻值。之後，將此時脈倍頻值與選定的時脈倍頻預定值加以比較，才能得知所選定的時脈倍頻預定值是否為正確的時脈倍頻值。

此外，在本實施例所包括的計數器335是用來更動一個計數值。請參照前述的第1表，假設剛開始所設定的計數值為6，相對應的時脈倍頻值也是6的時候，當SIP協議方法失敗後，就可以設定計數值加1或減1(當然，所遞增與遞減的值並不需相同，且也不限定於1)，而晶片組330則根據此計數值，決定下次進行SIP協議方法所需要的時脈倍頻預定值遞增為6.5或遞減為5.5(當然，也可以是7或5等等的時脈倍頻值)。

接下來請參照第4圖，其顯示了根據本發明之另一較佳實施例的方法實施流程圖。本方法適用於中央處理器與系統匯流排之間。且中央處理器還提供時脈倍頻值。本方法首先在步驟S410中檢查開機是否失敗過，若沒有，則在步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

驟S415中直接選定時脈倍頻預定值；而若失敗過，則在步驟S418中調整所選定的時脈倍頻預設值，並在步驟S419中重設(reset)中央處理器(Central Processing Unit, CPU)。接下來，在步驟S420中，就以所選定的時脈倍頻預定值做為SIP協議方法的參數，並執行SIP協議方法，以嘗試與中央處理器同步。

之後，若中央處理器無法在一段預定的時間內發出回應，則經由步驟S430的判定，就會認為中央處理器與系統匯流排無法在此選定的時脈倍頻預設值之下同步，也就是，此次的SIP協議方法失敗。因此，就會在步驟S435中更動計數值，並回到步驟S410繼續往下進行。

而若經由步驟S430的判定，發覺中央處理器與系統匯流排得以同步時，就進入步驟S440以讀取CPU時脈倍頻值。最後，在步驟S450中將時脈倍頻值與選定的時脈倍頻預定值加以比較。若兩者不相同，就在步驟S460中，將時脈倍頻預定值更改為時脈倍頻值，並在步驟S465之中重新啟動電腦；若兩者相同，則系統正常運作。

請參照第5圖，其顯示了根據本發明之又一較佳實施例的方法實施流程圖。其中，在步驟S510的時候，就先選定一個時脈倍頻預定值。接下來，在步驟S520中，就以所選定的時脈倍頻預定值做為SIP協議方法的參數，並執行SIP協議方法，以嘗試與中央處理器同步。

之後，若中央處理器無法在一段預定的時間內發出回應，則經由步驟S530的判定，就會認為中央處理器與系統

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

匯流排無法在此選定的時脈倍頻預設值之下同步，也就是，此次的SIP協議方法失敗。因此，就會在步驟S535中更動選定的時脈倍頻預設值，並在步驟S537之中重設CPU，再回到步驟S520繼續往下進行。

而若經由步驟S530的判定，發覺中央處理器與系統匯流排得以同步時，就進入步驟S540以讀取CPU時脈倍頻值。最後，在步驟S550中將時脈倍頻值與選定的時脈倍頻預定值加以比較。若兩者不相同，就在步驟S560中，將時脈倍頻預定值更改為時脈倍頻值，並在步驟S565之中重新啟動電腦；若兩者相同，則系統正常運作。

必須注意的是，在本發明中，最初所選定的時脈倍頻預設值可以是任一個合法的值。而之後對所選定之時脈倍頻預設值的更動方式則可以是任何的方式，包括遞增(例如，3.5到4再到4.5)，遞減(例如，4.5到4再到3.5)，或是跳躍式變動(例如，3到4再到5)。

綜上所述，現將本發明的優點略述如下。本發明不但可以省去晶片組中用以接收由中央處理器發出的時脈倍頻值訊號的接腳，更可以因此而進一步增加晶片組可執行的功能總數。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種自動讀取系統匯流排時脈倍頻值之系統，包括：

一中央處理器，包括一儲存單元，該儲存單元中儲存有一時脈倍頻值，並根據一串列起始數據包協議方法 (Serial Initialization Packet Protocol) 與外界同步；以及

一晶片組，該晶片組藉由選定一時脈倍頻預定值為參數的該串列起始數據包協議方法，調整該時脈倍頻預定值，直到該串列起始數據包協議方法成功執行完畢。

2.如申請專利範圍第1項所述之系統，更包括一計數器，當無法同步時，就改變該計數器的一計數值。

3.如申請專利範圍第2項所述之系統，其中更動該選定的時脈倍頻預定值，係根據於該計數值。

4.如申請專利範圍第1項所述之系統，其中該晶片組在無法同步時，就更動選定的該時脈倍頻預定值以重新執行該串列起始數據包協議方法；而在同步時，就讀取該時脈倍頻值，並以該時脈倍頻值與選定的該時脈倍頻預定值相比較，若不相同則將選定的該時脈倍頻預定值改變為該時脈倍頻值。

5.如申請專利範圍第4項所述之系統，其中當在重新執行該串列起始數據包協議方法之前，必須先重設該中央處理器。

6.如申請專利範圍第4項所述之系統，更包括一計數器，當無法同步時，就改變該計數器的一計數值。

7.如申請專利範圍第6項所述之系統，其中更動該選定

六、申請專利範圍

的時脈倍頻預定值，係根據於該計數值。

8.一種自動讀取系統匯流排時脈倍頻值之方法，適用於一中央處理器與一系統匯流排之間，其中，該中央處理器提供一時脈倍頻值，該方法包括：

選定一時脈倍頻預定值；

以該時脈倍頻預定值做為一串列起始數據包協議方法的參數；以及

執行該串列起始數據包協議方法，藉由改變該時脈倍頻預定值以嘗試與該中央處理器同步。

9.如申請專利範圍第8項所述之方法，其中當無法同步時，也同時更動一計數值。

10.如申請專利範圍第9項所述之方法，其中更動該時脈倍頻預定值，係根據於該計數值。

11.如申請專利範圍第8項所述之方法，其中，改變該時脈倍頻預定值係包括：

當無法同步時，更動該時脈倍頻預定值，並以更動後之該時脈倍頻預定值做為該串列起始數據包協議方法的參數，再重新執行該串列起始數據包協議方法，重複執行本步驟直到同步；

當同步時，讀取該時脈倍頻值；以及

比較該時脈倍頻值與該時脈倍頻預定值，若不同，則將該時脈倍頻預定值更改為該時脈倍頻值。

12.如申請專利範圍第11項所述之方法，其中當在重新執行該串列起始數據包協議方法之前，必須先重設該中央

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

處理器。

13.如申請專利範圍第11項所述之方法，其中當無法同步時，更動一計數值。

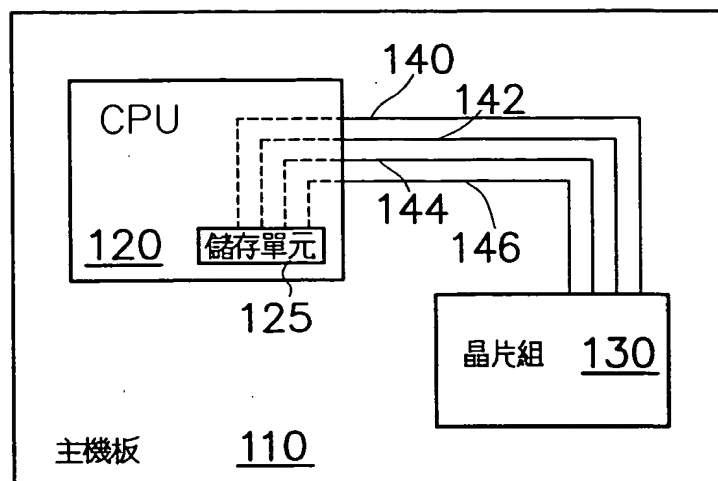
14.如申請專利範圍第13項所述之方法，其中更動該時脈倍頻預定值，係根據於該計數值。

(請先閱讀背面之注意事項再填寫本頁)

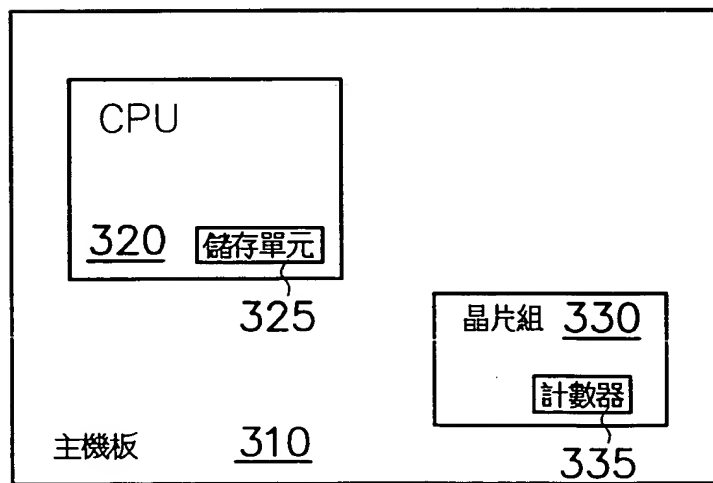
裝

訂

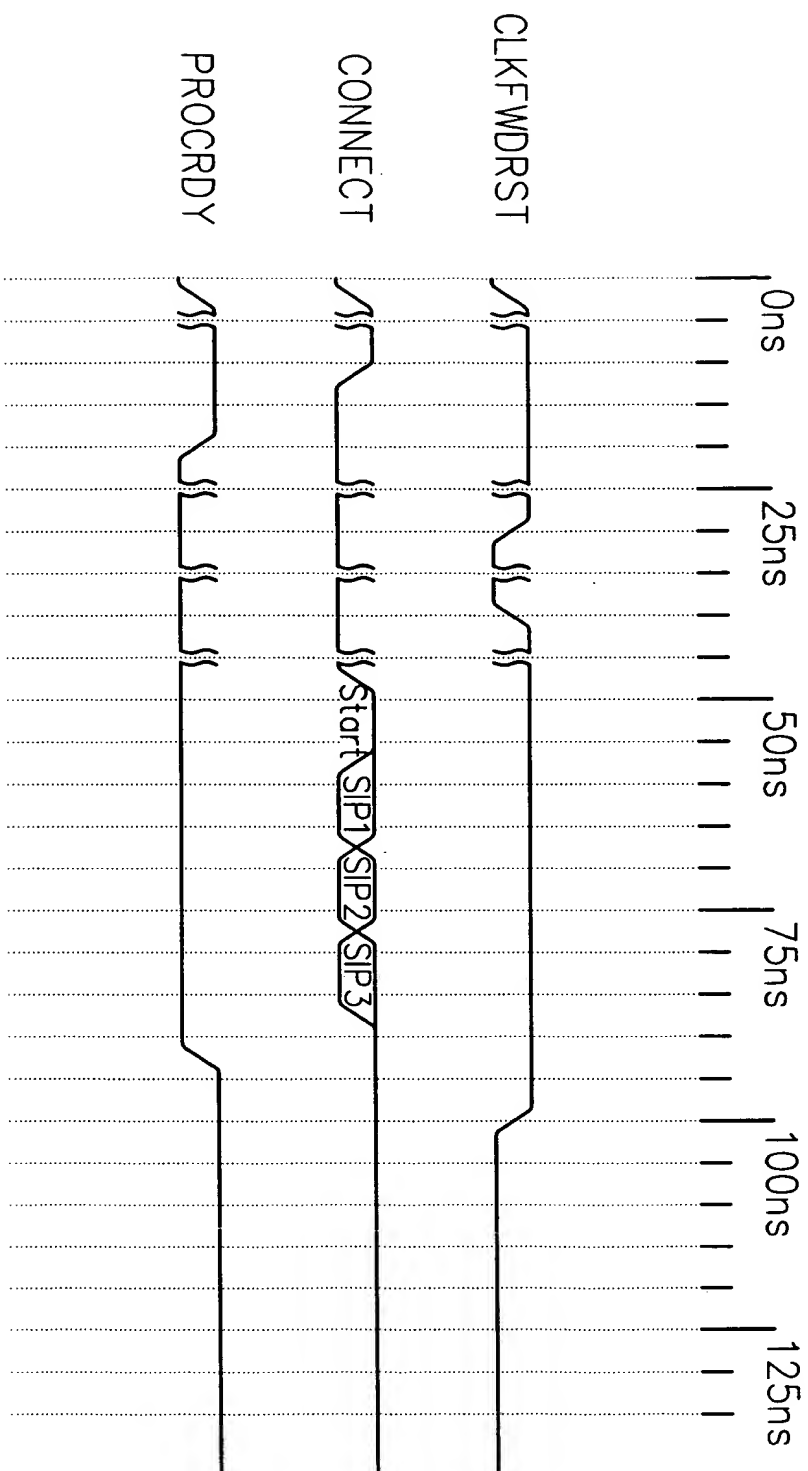
線



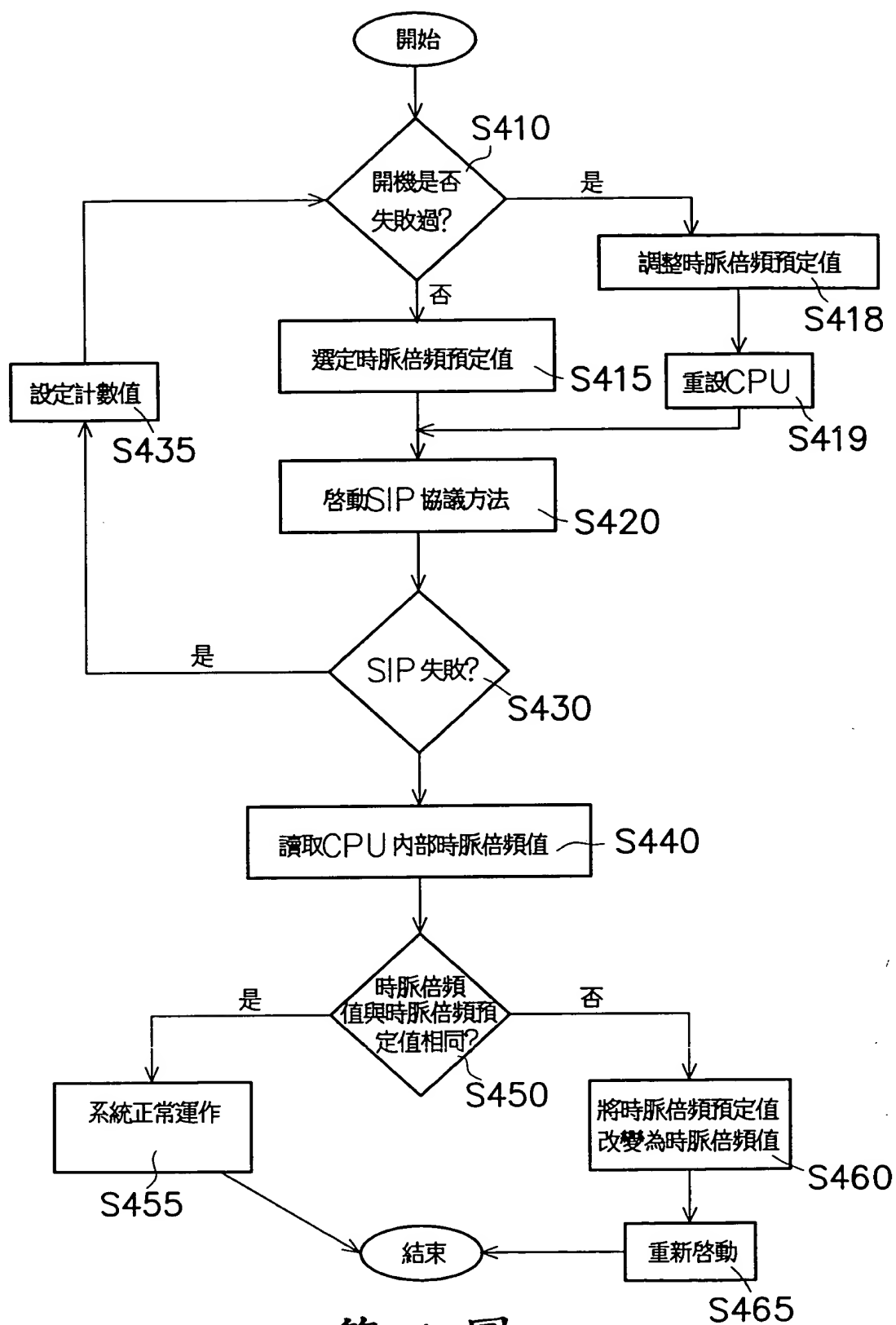
第 1 圖



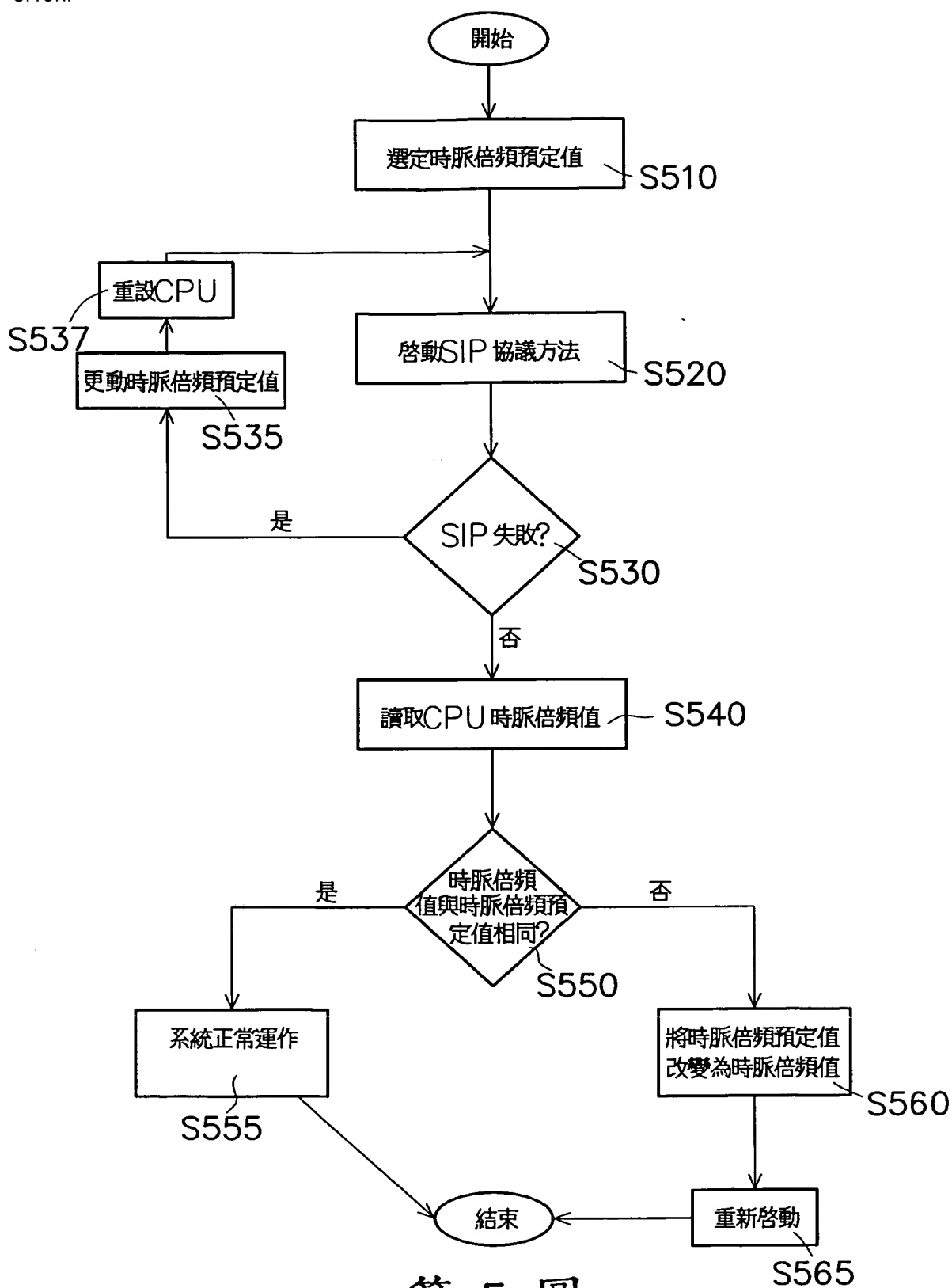
第 3 圖



第 2 圖



第 4 圖



第 5 圖

五、發明說明(ㄟ)

器同步。當無法同步時，就更動時脈倍頻預定值，並重新執行此SIP協議方法；而當同步時，就讀取時脈倍頻值。最後，比較時脈倍頻值與時脈倍頻預定值，若不同，則將時脈倍頻預定值更改為時脈倍頻值。

本發明所提出的另一種自動讀取系統匯流排時脈倍頻值之方法，首先設定一個計數值。之後，根據此計數值選定一個時脈倍頻預定值。接下來，以此時脈倍頻預定值做為SIP協議方法的參數，並執行此SIP協議方法，以嘗試與中央處理器同步。若中央處理器與系統匯流排無法同步則更動計數值，並以此更動後的計數值來選定時脈倍頻預定值，再重新執行SIP協議方法。而若兩者同步，則讀取時脈倍頻值。最後，比較時脈倍頻值與時脈倍頻預定值，若不同，則將時脈倍頻預定值更改為時脈倍頻值。

綜上所述，本發明藉由逐次更動時脈倍頻預定值來探測適用於中央處理器的時脈倍頻值。如此則可以省去晶片組中用以接收由中央處理器發出的時脈倍頻值訊號的接腳，而可以將接腳挪為他用，增加晶片組可達成的功能。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知中自動探測中央處理器之時脈倍頻值的裝置連接圖；

第 2 圖繪示的是串列起始數據包(Serial Initialization

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

Packet)協議方法中部分訊號的時序圖；

第 3 圖繪示的是根據本發明之一較佳實施例的系統連接圖；

第 4 圖繪示的是根據本發明之另一較佳實施例的方法實施流程圖；以及

第 5 圖繪示的是根據本發明之又一較佳實施例的方法實施流程圖。

重要元件標號

110, 310：主機板 120, 320：中央處理器(CPU)

125, 325：儲存單元 130, 330：晶片組

140, 142, 144, 146：電路

335：計數器

較佳實施例

爲了說明方便，在此處就先對串列起始數據包(Serial Initialization Packet，之後稱爲 SIP)協議方法(Protocol)做一個簡單的介紹。請參照第 2 圖，其顯示了 SIP 協議方法中部分訊號的時序圖。根據 SIP 協議方法，在中央處理器進行初始化的時候，會先將訊號線 PROCRDY 撤銷(deassert)(約在 20ns 的時候)，而另一訊號線 CLKFWDRST 則保持在確立(assert)的狀態下。其中，訊號線 PROCRDY 是輸出到系統，在重設(reset)的時候，用於電源管理(power management)及提前時脈初始化(clock-forward initialization)的訊號。而訊號線 CLKFWDRST 則是用來重設系統與處理器中的提前時脈電路所用的訊號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

在訊號線 PROCRDY 撤銷經過幾個系統時脈(SYSCLK)週期之後，主機板就會將訊號線 CLKFWDRST 撤銷(約在 30ns 的時候)。而在訊號線 CLKFWDRST 撤銷經過幾個系統時脈週期後，系統會再重新確立訊號線 CLKFWDRST(約在 40ns 的時候)。

在訊號線 CLKFWDRST 保持確立狀態的期間，中央處理器會等待接收根據 SIP 協議方法所訂定的一個起始位元(start bit)。在這段期間中(在本實施例中約為 55ns 到 90ns 左右)，主機板會經由訊號線 CONNECT 來傳送包括處理器提前時脈初始狀態(processor clock-forwarding initialization state)的 SIP 到中央處理器。其中，訊號線 CONNECT 是由系統輸入，在重設時用在電源管理及提前時脈初始化的訊號。而當這些 SIP 傳送完畢之後，主機板就會保持訊號線 CONNECT 確立，以表示傳送 SIP 到中央處理器的過程已經結束。而在接收到這些 SIP 之後，中央處理器就會確立訊號線 PROCRDY(約在 90-95ns 的時候)以表示中央處理器已經初始化完畢，並且可以開始處理資料。

然而，當中央處理器無法在訊號線 CLKFWDRST 保持確立的期間收到 SIP 時，中央處理器就不會確立訊號線 PROCRDY。在這種狀況下，就會重複進行確立及撤銷訊號線 CLKFWDRST 的動作，進而導致整個電腦系統被鎖住(hang)。

請參照第 3 圖，其繪示的是依照本發明一較佳實施例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(|)

本發明是有關於一種系統匯流排時脈倍頻值的決定系統及方法，且特別是有關於一種能夠自動讀取系統匯流排時脈倍頻值之系統及方法。

在習知技術中，可用於選定電腦系統匯流排之時脈倍頻值的方法有許多種。其中最常見的一種是，於主機板上設置數個跳位器(jumper)，再藉由手動更改這些跳位器上接腳(pin)的電性連結組合來調整主機板上所使用的時脈倍頻值。這種方法的缺點是，必須記憶接腳之電性連結組合與所代表之時脈倍頻值之間的關係，或者必須尋找說明書中與這部分相關的文件說明，才能正確的調整所需的時脈倍頻值。這對使用者來說，無疑是一種麻煩而且沒有效率的設計方式。

爲了解決上述的問題，在習知技術中有一種藉由基本輸入輸出系統(Basic Input Output System, 之後稱爲 BIOS)來提供較爲簡易之選定時脈頻率的方法。這種方法是藉由軟體來控制硬體，而得以更動主機板上所使用的時脈倍頻值。但是，這種方法雖然解決了使用者調整時脈倍頻值時所遭遇到的部分不便之處，卻仍然有著不夠完善的地方。舉例來說，當所使用的中央處理器(Central Processing Unit, CPU)被鎖定爲僅能在某個或某些時脈倍頻值才能進行工作的時候，這一種方法還是必須要藉助於中央處理器的說明書，才能正確的調整出能使系統得以正常工作的時脈倍頻值。

爲了讓使用者有更爲簡易的時脈倍頻值選定方法，習

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

知還提供了一種時脈倍頻值的自動選定方法。在這個方法中，中央處理器提供一個儲存單元來儲存本身的時脈倍頻值，並透過某些接腳(pin)將這個時脈倍頻值向外界傳送。而負責選定主機板運作時脈倍頻的晶片組，則經由接收由中央處理器傳出的時脈倍頻值，來選定主機板運作時所需的時脈倍頻值。請參考第1圖，其顯示了習知作法中自動探測中央處理器之時脈倍頻值的裝置連接圖。其中，中央處理器(CPU)120的時脈倍頻值係儲存於儲存單元125之中，且能經由中央處理器120的接腳以及分別與這些接腳相連接的電路140，142，144及146，將時脈倍頻值傳送給晶片組130。請參照第1表，其顯示一種經由接腳電位高低組合以表示處理器時脈倍頻值的方式。

其中，FID[0]-FID[3]分別代表處理器上的一支接腳，而表中接腳之值為0者，代表其電位為低電位，而接腳之值為1者，則代表其電位為高電位。經由探測這些接腳之電位高低組合之後，就可以得到儲存在儲存單元125中的處理器時脈倍頻值。

然而，這個方法雖然比前述的兩種方法都更為簡便，但卻使得晶片組必須提供多餘的接腳來接收時脈倍頻值。這在由於晶片組功能漸多，因而使得接腳漸顯不足的情況下，逐漸的顯露出其佔用接腳的缺陷。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

第1表

FID[3]	FID[2]	FID[1]	FID[0]	時脈倍頻值
0	0	0	0	保留
0	0	0	1	保留
0	0	1	0	保留
0	0	1	1	4.5
0	1	0	0	5
0	1	0	1	5.5
0	1	1	0	6
0	1	1	1	6.5
1	0	0	0	7
1	0	0	1	7.5
1	0	1	0	8
1	0	1	1	保留
1	1	0	0	保留
1	1	0	1	保留
1	1	1	0	保留
1	1	1	1	保留

綜上所述，習知技術具有若干缺點，現列述如下：

1.藉由手動更改跳位器上接腳的電性連結組合來調整主機板上所使用的時脈倍頻值。對於使用者來說，無疑是一種麻煩而且沒有效率的設計方式。

2.藉由軟體來控制硬體，而得以更動主機板上所使用

五、發明說明(4)

的時脈倍頻值。但是，當所使用的中央處理器被鎖定為僅能在某個或某些時脈倍頻值才能進行工作的時候，這一種方法還是必須要藉助於中央處理器的說明書，才能正確的調整出能使系統得以正常工作的時脈倍頻值。

3.中央處理器透過接腳將本身的時脈倍頻值向外界傳送。而負責選定主機板運作時脈倍頻的晶片組，則經由接收由中央處理器傳出的時脈倍頻值，來選定主機板運作時所需的時脈倍頻值。然而，在接腳漸顯不足的情況下，這種方法也逐漸的顯露出其佔用接腳的缺陷。

有鑒於此，本發明提出一種自動讀取系統匯流排時脈倍頻值之系統。其包括一個中央處理器以及一個晶片組。其中，中央處理器包括一個儲存單元，並根據一種串列起始數據包(Serial Initialization Packet，之後稱為SIP)協議方法(Protocol)以與外界同步。此外，晶片組則藉由使用以一個時脈倍頻預定值做為參數的SIP協議方法，嘗試與中央處理器同步。若無法同步，則更動此時脈倍頻預定值以重新執行SIP協議方法。而若同步，就讀取中央處理器中的時脈倍頻值，並以此時脈倍頻值與時脈倍頻預定值相比較。若兩者不相同，就將時脈倍頻預定值改變為時脈倍頻值。

本發明另外提出一種自動讀取系統匯流排時脈倍頻值之方法，其適用於中央處理器與系統匯流排之間。其中，中央處理器提供一個時脈倍頻值。此方法首先選定一個時脈倍頻預定值。接下來，以此時脈倍頻預定值做為SIP協議方法的參數。之後，執行此SIP協議方法以嘗試與中央處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線